

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097197

(43)Date of publication of application : 08.04.1994

---

(51)Int.Cl. H01L 21/336  
H01L 29/784  
G02F 1/136

---

(21)Application number : 04-242336

(71)Applicant : SHARP CORP

(22)Date of filing : 10.09.1992

(72)Inventor : ITOGA TAKASHI  
MORITA TATSUO  
TSUCHIMOTO SHUHEI

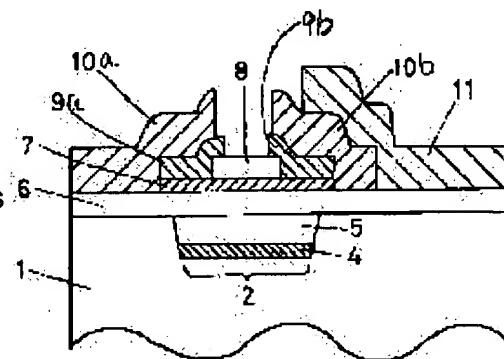
---

## (54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

### (57)Abstract:

PURPOSE: To obtain a highly reliable TFT wherein there is less leakage between the gate and source electrodes and between the gate and drain electrodes.

CONSTITUTION: A gate electrode 4 and anode oxidation film 5 are formed in a trench 2 formed in a substrate 1 in a way that the upper face of the anode oxidation film 5 is flush with the substrate 1. This enables flatly forming a gate insulating film 6 and amorphous Si film 7 thereon without steps. Accordingly, that prevents the gate insulating film 6 from being holed due to the increase of etching rate at steps in the subsequent processes. Thus the leakage from TFTs is prevented.



---

### LEGAL STATUS

[Date of request for examination] 12.07.1996

[Date of sending the examiner's decision of rejection] 30.11.1998

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] this invention relates to the TFT (Following TFT is called) used for a liquid crystal display etc., and its manufacture method.

#### [0002]

[Description of the Prior Art] Even when the scanning line increases like television or a computer in recent years, the active matrix type liquid crystal display in which a high-definition display is possible is used widely.

[0003] Drawing 4 is drawing showing the active-matrix substrate used for the above-mentioned active matrix type liquid crystal display. In this substrate, two or more gate bus lines 12 and two or more source bus lines 13 are formed on the substrate 1. TFT3 as a switching element which drives the picture element electrode 11 and a picture element electrode is formed in each field surrounded by the gate bus line 12 and the source bus line 13.

[0004] The cross section of the conventional TFT is shown in drawing 5.

[0005] In this TFT, the gate electrode 4 which consists of a metal thin film etc. is formed on the transparent amorphous substrate 1 which consists of an alkali free glass, a quartz, etc., and the oxide film on anode 5 is formed in the front face of this gate electrode. The substrate 1 whole surface of this state is worn, and the gate insulator layer 6 is formed. Thus, insulation improves by making an insulator layer into the two-layer structure. Furthermore, the amorphous silicon film 7 is formed so that it may counter with the gate electrode 4 on the gate insulator layer 6. The etching stopper 8 is formed, the edge of the etching stopper 8 and some amorphous silicon films 7 are covered into the portion on the amorphous silicon film 7 used as the channel section of TFT, and source field 9a and drain field 9b are formed in it. Source thin film 9a and drain thin film 9b consist of a silicon film which doped the impurity, and are insulated electrically. On source field 9a and drain field 9b, source electrode 10a and drain electrode 10b which consist of a metal thin film etc. are formed, respectively. On drain electrode 10b, the picture element electrode 11 which consists of ITO etc. is formed further.

[0006] The above conventional TFT is manufactured as follows.

[0007] First, a metal thin film etc. is deposited on a substrate 1, it \*\*\*\*\*'s in the configuration of a request of this, and size, and the gate electrode 4 is formed. Next, this gate electrode is anodized and it considers as an oxide film on anode 5.

[0008] Next, on the substrate of this state, the gate insulator layer 6 is formed by CVD etc., and the amorphous silicon film 7 is further formed by CVD etc. On this amorphous silicon film 7, patterning of the insulator layer is formed and carried out, and the etching stopper 8 is formed. Then, the silicon film which doped the impurity set to source field 9a and drain field 9b by CVD etc. is formed, the amorphous silicon film 7 and this silicon film are \*\*\*\*\*'ed simultaneously, and the channel section of TFT, source field 9a, and drain field 9b are obtained.

[0009] Then, patterning of the metal membrane is formed and carried out by the sputtering method, and source electrode 10a and drain electrode 10b are obtained. Furthermore, an ITO film is formed by the

sputtering method, patterning is carried out, and it considers as the picture element electrode 11.

[0010]

[Problem(s) to be Solved by the Invention] In order to improve step coverage when forming this amorphous silicon film, usually, in case the gate electrode 4 is formed, taper etching is carried out, and it is made for the side of the gate electrode 4 to incline in the above manufacturing process. However, even when taper etching is performed in this way, a level difference is made in the edge of an etching pattern. Therefore, in case wet etching is performed at a next process, a dirty rate becomes quick unusually in this level difference section, and there is a possibility that a hole may open to the gate insulator layer 6. For this reason, it becomes poor leaking TFT and it has become one of the main poor causes of a liquid crystal display.

[0011] On the other hand, in order to make influence by this level difference small, there is a method of performing taper etching which makes the degree of tilt angle of the side small in the edge of the gate electrode 4. However, in this edge, a steep level difference is made also in that case. So, if wet etching is performed after performing a depository at a next process, a hole will open to the gate insulator layer 6 in this level difference section, and poor leak of a transistor will occur.

[0012] Since control of a dirty rate is difficult, although especially this problem appears notably by wet etching, since it can be hard to form the lower part of the taper section smoothly, this causes leak also by the case of dry etching.

[0013] It is made in order that this invention may solve the above-mentioned trouble, and the purpose is in leak offering few reliable TFT and its manufacture method between a gate electrode and a source electrode and between a gate electrode and a drain electrode.

[0014]

[Means for Solving the Problem] The gate electrode by which the TFT of this invention was formed in Mizouchi by whom it was prepared in the substrate and this substrate with the thickness size shorter than a depth-of-flute size, The gate insulator layer formed on this gate electrode at the substrate, oxide-film-on-anode [ which was formed almost flat-tapped ], this oxide-film-on-anode, and substrate top, It has the source electrode and drain electrode which were divided and formed on this gate insulator layer on the semiconductor layer formed in the state of countering with this gate electrode, and this semiconductor layer, and the above-mentioned purpose is attained by that.

[0015] The process at which the manufacture method of the TFT of this invention forms a slot in a substrate, The process which forms a gate electrode in this slot at a thickness size shorter than a depth-of-flute size, The process which anodizes this gate electrode, and forms an oxide film on anode on a gate electrode so that it may become almost flat-tapped with a substrate, The above-mentioned purpose is attained by that including the process which forms a gate insulator layer on this oxide film on anode and a substrate, the process which forms the semiconductor layer used as the channel section on this gate insulator layer, and the process which divides on this semiconductor layer and forms a source electrode and a drain electrode.

[0016] The TFT of this invention has the source electrode and drain electrode which were divided and formed in Mizouchi prepared in the substrate and this substrate on a substrate, the gate electrode formed almost flat-tapped, the gate insulator layer formed on this gate electrode and the substrate, the semiconductor layer formed in the state of countering with this gate electrode, on this gate insulator layer, and this semiconductor layer, and is \*\*. The above-mentioned purpose is attained by that.

[0017] The process at which the manufacture method of the TFT of this invention forms a slot in a substrate, The process which forms a gate electrode in this slot so that it may become almost flat-tapped with a substrate, The above-mentioned purpose is attained by that including the process which forms a gate insulator layer on this gate electrode and a substrate, the process which forms the semiconductor layer used as the channel section on this gate insulator layer, and the process which divides on this semiconductor layer and forms a source electrode and a drain electrode.

[0018]

[Function] A gate electrode and an oxide film on anode are formed in Mizouchi prepared in the substrate, and it is made for this oxide film on anode to become almost flat-tapped with a substrate. By

this, the gate insulator layer and amorphous silicon film which are formed on it can be formed in the flat state where there is no level difference. For this reason, in case it etches at a subsequent process, a dirty rate does not become quick in a level difference portion, and a hole does not necessarily open to a gate insulator layer. Therefore, leak of TFT can be prevented.

[0019]

[Example] Hereafter, with reference to a drawing, this invention is explained in detail.

[0020] The cross section of TFT which is one example of this invention is shown in drawing 1.

[0021] In this TFT, a slot 2 is established in the substrate 1 which consists of a glass plate etc., and the gate electrode 4 and oxide film on anode 5 which consist of a metal thin film etc. are formed in the slot 2. In the state, the gate insulator layer 6 is formed on the substrate 1 and the oxide film on anode 5.

[0022] On the gate insulator layer 6, the amorphous silicon film 7 is formed so that it may counter with the gate electrode 4. Since it is formed so that an oxide film on anode 5 may become flat-tapped with a substrate 1, the gate insulator layer 6 and the amorphous silicon film 7 are formed in the flat state. The etching stopper 8 is formed, the edge of the etching stopper 8 and some amorphous silicon films 7 are covered into the portion on the amorphous silicon film 7 used as the channel section of TFT, and source field 9a and drain field 9b are formed in it. Source field 9a and drain field 9b consist of a silicon film which doped the impurity, and are divided. On source field 9a and drain field 9b, source electrode 10a and drain electrode 10b which consist of a metal thin film etc. are formed, respectively. On drain electrode 10b, the picture element electrode 11 which consists of ITO etc. is formed further.

[0023] Below, the manufacture method of this TFT is explained.

[0024] First, a slot 2 is formed in the portion which forms the gate electrode 4 of a substrate 1. This slot 2 can be formed in a substrate 1 by the pattern as shown in drawing 2. In this drawing, it is the case where one liquid crystal panel is formed in one glass substrate. The depth of a slot 2 and the size of thickness are adjusted with the width of face of the desired gate electrode 4 and an oxide film on anode 5, and the size of thickness.

[0025] Drawing 3 (a) The formation method of this slot 2 is shown in - (c). First, as shown in drawing 3 (a), patterning of the photoresist 3 is formed and carried out to the thickness of 1.6 micrometers on a substrate 1 according to a FOTORISO process. Next, as shown in drawing 3 (b), using the buffer DOFUTSU acid (BHF) of 2.5 - 5% of concentration, wet etching is performed to a substrate 1 and the portion used as a slot 2 is formed. At this time, few taper configurations in the edge of a slot 2 are determined by the etching methods, such as the standing [ still ] method. Then, as shown in drawing 3 (C), a photoresist is removed and a slot 2 is formed. In this example, it considered as etching width of face of 15 micrometers, and a depth of 4000A.

[0026] Next, as shown in drawing 3 (d) - (g), in a slot 2, the gate electrode 4 and an oxide film on anode 5 are formed so that a substrate 1 and an oxide film on anode may become flat-tapped, and flattening of the substrate is carried out. First, as shown in drawing 3 (d), thin film 4a used as the gate electrode 4 is formed on the substrate 1 in which the slot 2 was formed. The thickness of this thin film 4a is adjusted so that the front face of an oxide film on anode 5 may become flat-tapped with a substrate 1, as shown in drawing 3 (g). Since the thickness of an oxide film on anode 5 changes with conditions of anodic oxidation, in case it forms this thin film 4a, that also needs to take it into consideration. The thickness of this thin film 4a can be adjusted according to conditions, such as a pressure and temperature.

[0027] Moreover, as shown in drawing 3 (e), the spin application of the viscous high organic compound liquids 12, such as a polyimide, is carried out. After being solidified by heat, that to which the gate electrode 4 and a dry type etching rate become equal is used for this organic compound liquid 12. Next, as shown in drawing 3 (f), by the dry etching system, using the mixed gas of CF<sub>4</sub>+O<sub>2</sub>, it \*\*\*\*\*S by 30mtorr and leaves the portion in a slot 2.

[0028] Then, by anodizing, as shown in drawing 3 (g), after the oxide film on anode 5 has become flat-tapped with the substrate, the gate electrode 4 and an oxide film on anode 5 are formed.

[0029] In this example, the depth of a slot 2 was made into 4000A, and using Ta, thin film 4a used as the gate electrode 4 was formed so that the thickness after etchback might become 3450A. This thin film 4a is \*\*\*\*\*ed so that it may leave the portion in a slot 2. Then, by anodizing by voltage 200V using

an ammonium tartrate, in the state where it is shown in drawing 3 (g), the gate electrode 4 was formed in 1800A, and the oxide film on anode 5 was formed in 2200A.

[0030] When the glass plate about 300mm angle is used as a substrate 1, a substrate 1 and the upper front face of an oxide film on anode 5 can be mostly made into the same side within the range of 500-700A. Chromium, a tantalum, etc. can also be used as the above-mentioned gate electrode material.

[0031] Then, the gate insulator layer 6 with a thickness of 3000A it is thin from SiNX etc. by the plasma CVD method etc. is formed the whole surface on the substrate 1 of this state, and the amorphous silicon film 7 with a thickness of 300A is further formed by the plasma CVD method etc. Since it is in the state where the upper front face of an oxide film on anode 5 turns into the same field as a substrate 1, and there is no level difference, this gate insulator layer 6 and the amorphous silicon film 7 can be formed in the state of a flat without a level difference. Furthermore, on this amorphous silicon film 7, an insulator layer with a thickness of 2000A it is thin from SiNX etc. is formed, patterning is carried out by wet etching and the etching stopper 8 is formed. Then, the amorphous silicon film which doped the impurity set to source field 9a and drain field 9b by the plasma CVD method etc. is formed in the thickness of 600A, wet etching of the amorphous silicon film 7 and this amorphous silicon film is simultaneously carried out using HF and a nitric acid, and the channel section of TFT, source field 9a, and drain field 9b are obtained.

[0032] Then, the metal membrane which consists of Ti etc. by the sputtering method is formed in the thickness of 3000A, patterning is carried out to HF by wet etching using a nitric acid, and source electrode 10a and drain electrode 10b are obtained. Furthermore, it is alike with a spatter, an ITO film with a thickness of 600-700A is formed more, patterning is carried out by wet etching using ferric chloride, and it considers as the picture element electrode 11.

[0033] In this manufacture method, in not forming an oxide film on anode 5, it forms TFT as follows. First, a slot 2 is formed at the same process as the above. The depth size of this slot 2 is adjusted with the thickness size of the desired gate electrode 4. And the gate electrode 4 which consists of a metal thin film etc. is formed in the whole surface, and flattening is carried out by the flattening method shown in drawing 3 (d) - (g), and the same method. The gate electrode 4 formed flat-tapped with the substrate 1 in the slot 2 is obtained by this. Next, the gate insulator layer 6 is formed on a substrate 1 and the gate electrode 4, and TFT is obtained at the same process as the above after that.

[0034] In TFT of this example, since the amorphous silicon film 7 used as the gate insulator layer 6 and the channel section of TFT was formed in the state of a flat without a level difference, even if it etched at the subsequent process, there was no bird clapper thinly [ a gate insulator layer ]. Moreover, current leak in the pattern edge section did not arise.

[0035]

[Effect of the Invention] According to TFT of this invention, it can form in the flat state where there is no level difference in the amorphous silicon film used as a gate insulator layer and the channel section of TFT so that clearly from the above explanation. For this reason, there is no possibility that a dirty rate may become quick in a level difference portion, and a hole may open to a gate insulator layer. Therefore, reliable TFT with little leak is obtained between a gate electrode and a source electrode and between a gate electrode and a drain electrode.

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] TFT characterized by providing the following. Substrate. The gate electrode formed in Mizouchi prepared in this substrate with the thickness size shorter than a depth-of-flute size. The oxide film on anode formed almost flat-tapped with the substrate on this gate electrode. The source electrode and drain electrode which were divided and formed on the semiconductor layer formed in the state of countering with this gate electrode, and this semiconductor layer on the gate insulator layer formed on this oxide film on anode and the substrate, and this gate insulator layer.

[Claim 2] The manufacture method of TFT characterized by providing the following. The process which forms a slot in a substrate. The process which forms a gate electrode in this slot at a thickness size shorter than a depth-of-flute size. The process which anodizes this gate electrode, and forms an oxide film on anode on a gate electrode so that it may become almost flat-tapped with a substrate. The process which forms a gate insulator layer on this oxide film on anode and a substrate, the process which forms the semiconductor layer used as the channel section on this gate insulator layer, and the process which divides on this semiconductor layer and forms a source electrode and a drain electrode.

[Claim 3] TFT which has the source electrode and drain electrode which were divided and formed in Mizouchi prepared in the substrate and this substrate on a substrate, the gate electrode formed almost flat-tapped, the gate insulator layer formed on this gate electrode and the substrate, the semiconductor layer formed in the state of countering with this gate electrode, on this gate insulator layer, and this semiconductor layer.

[Claim 4] The manufacture method of TFT including the process which forms a slot in a substrate, the process which forms a gate electrode in this slot so that it may become almost flat-tapped with a substrate, the process which forms a gate insulator layer on this gate electrode and a substrate, the process which forms the semiconductor layer used as the channel section on this gate insulator layer, and the process which divides on this semiconductor layer and forms a source electrode and a drain electrode.

---

[Translation done.]

**Title: Thin film transistor and the fabricating method of the same**

Laid Open No.: 06-097197

Laid Open Date: April 08, 1994

[Abstract]

[Object] It is an object of the present invention to provide a highly stable TFT wherein current leakage through gaps between the gate and source electrodes, and the gate and drain electrodes is very small.

[Configuration] On a substrate 1, a groove 2 is formed; in the groove 2, a gate line 4 and a positive oxidized layer 5 are formed. The upper surfaces of the positive oxidized layer 5 and the substrate 1 make the same height. Thereon, a gate insulating layer 6 and an amorphous Si layer 7 is uniformly formed without steps under themselves. Since a later etching can be facilitated uniformly such that there occurs no open hole on the gate insulating layer 6, current leakage in the TFT can be prevented.

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-97197

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>6</sup>H 01 L 21/336  
29/784

識別記号

府内整理番号

F I

技術表示箇所

G 02 F 1/136

5 0 0

9018-2K

9056-4M

H 01 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号

特願平4-242336

(22)出願日

平成4年(1992)9月10日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 糸賀 隆志

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 森田 達夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 土本 修平

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

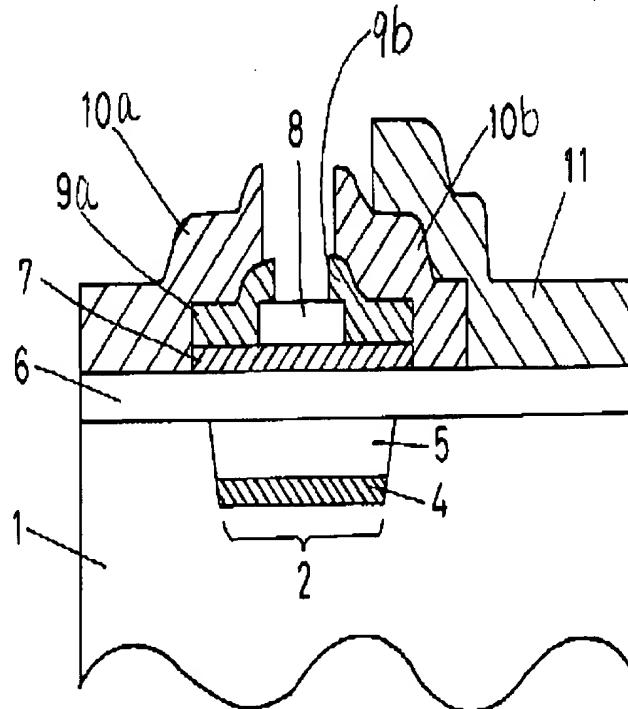
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【目的】 ゲート電極とソース電極との間およびゲート電極とドレイン電極との間でリークが少ない、信頼性の高いTFTを得る。

【構成】 基板1に形成された溝2内に、ゲート電極4および陽極酸化膜5が形成され、陽極酸化膜5の上表面と基板1とが同一面となっている。このことにより、その上に形成されるゲート絶縁膜6およびアモルファスSi膜7を段差の無い平坦な状態で形成することができる。このため、その後の工程でエッチングを行う際に、段差部分でエッチレートが速くなってしまってゲート絶縁膜6に穴が開く虞れがない。よって、TFTのリークを防止することができる。



**【特許請求の範囲】****【請求項1】** 基板と、

該基板に設けられた溝内に、溝の深さ寸法よりも短い厚み寸法で形成されたゲート電極と、  
 該ゲート電極の上に、基板とほぼ面一に形成された陽極酸化膜と、  
 該陽極酸化膜および基板の上に形成されたゲート絶縁膜と、  
 該ゲート絶縁膜上に、該ゲート電極と対向する状態で形成された半導体層と、  
 該半導体層上で分断して形成されたソース電極およびドレイン電極と、  
 を有する薄膜トランジスタ。

**【請求項2】** 基板に溝を形成する工程と、

該溝内にゲート電極を溝の深さ寸法よりも短い厚み寸法で形成する工程と、  
 該ゲート電極を陽極酸化して、ゲート電極上に陽極酸化膜を基板とほぼ面一となるように形成する工程と、  
 該陽極酸化膜および基板の上にゲート絶縁膜を形成する工程と、  
 該ゲート絶縁膜の上にチャネル部となる半導体層を形成する工程と、  
 該半導体層上で分断してソース電極とドレイン電極とを形成する工程と、  
 を含む薄膜トランジスタの製造方法。

**【請求項3】** 基板と、

該基板に設けられた溝内に、基板とほぼ面一に形成されたゲート電極と、  
 該ゲート電極および基板の上に形成されたゲート絶縁膜と、  
 該ゲート絶縁膜上に、該ゲート電極と対向する状態で形成された半導体層と、  
 該半導体層上で分断して形成されたソース電極およびドレイン電極と、  
 を有する薄膜トランジスタ。

**【請求項4】** 基板に溝を形成する工程と、

該溝内に、ゲート電極を基板とほぼ面一となるように形成する工程と、  
 該ゲート電極および基板の上にゲート絶縁膜を形成する工程と、  
 該ゲート絶縁膜の上にチャネル部となる半導体層を形成する工程と、  
 該半導体層上で分断してソース電極とドレイン電極とを形成する工程と、  
 を含む薄膜トランジスタの製造方法。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、液晶表示装置等に利用される薄膜トランジスタ（以下TFTと称する）およびその製造方法に関する。

**【0002】**

**【従来の技術】** 近年、テレビやコンピューター等のように走査線が増大した場合でも、高画質表示が可能なアクティブマトリックス型液晶表示装置が広く用いられている。

**【0003】** 図4は、上記アクティブマトリックス型液晶表示装置に用いられるアクティブマトリックス基板を示す図である。この基板においては、基板1上に、複数のゲートバスライン12と複数のソースバスライン13が形成されている。ゲートバスライン12およびソースバスライン13に囲まれた各領域には、絵素電極11と絵素電極を駆動するスイッチング素子としてのTFT3が形成されている。

**【0004】** 図5に従来のTFTの断面図を示す。

**【0005】** このTFTにおいては、無アルカリガラスや石英等からなる透明非晶質基板1上に、金属薄膜などからなるゲート電極4が形成され、該ゲート電極の表面には陽極酸化膜5が形成されている。この状態の基板1全面を覆って、ゲート絶縁膜6が形成されている。このように、絶縁膜を二層構造にすることにより、絶縁性が向上される。さらに、ゲート絶縁膜6の上にゲート電極4と対向するように、アモルファスSi膜7が形成されている。TFTのチャネル部となるアモルファスSi膜7上の部分には、エッチングストップ8が形成され、エッチングストップ8の端部とアモルファスSi膜7の一部を覆って、ソース領域9a、ドレイン領域9bが形成されている。ソース薄膜9a、ドレイン薄膜9bは、不純物をドープしたシリコン膜などからなり、電気的に絶縁されている。ソース領域9aおよびドレイン領域9bの上には、それぞれ、金属薄膜などからなるソース電極10aおよびドレイン電極10bが形成されている。ドレイン電極10b上には、さらに、ITOなどからなる絵素電極11が形成されている。

**【0006】** 上記のような従来のTFTは、以下のようにして製造される。

**【0007】** まず、基板1上に金属薄膜等を堆積して、これを所望の形状、サイズにエッチングしてゲート電極4を形成する。次に、このゲート電極を陽極酸化して、陽極酸化膜5とする。

**【0008】** 次に、この状態の基板の上に、CVD法などによりゲート絶縁膜6を形成し、さらに、CVD法などによりアモルファスSi膜7を形成する。このアモルファスSi膜7の上に絶縁膜を形成してパターニングし、エッチングストップ8を形成する。続いて、CVD法などによりソース領域9aおよびドレイン領域9bとなる不純物をドープしたシリコン膜を形成し、アモルファスSi膜7と該シリコン膜とを同時にエッチングして、TFTのチャネル部、ソース領域9a、ドレイン領域9bを得る。

**【0009】** 続いて、スパッタリング法により、金属膜

を形成しパターニングして、ソース電極10aおよびドレン電極10bを得る。さらに、スパッタリング法によりITO膜を形成しパターニングして、絶縁電極11とする。

#### 【0010】

【発明が解決しようとする課題】以上の製造工程において、該アモルファスSi膜を形成する時のステップカバレッジを良くするために、通常、ゲート電極4を形成する際にテープエッチングして、ゲート電極4の側面が傾斜されるようにする。しかし、このようにテープエッチングを行った場合でも、エッティングパターンのエッジにおいて段差ができる。よって、後の工程で湿式エッチングを行う際に、該段差部でエッチレートが異常に速くなり、ゲート絶縁膜6に穴が開く虞れがある。このため、TFTがリーク不良となり、液晶表示装置の主な不良の原因のひとつとなっている。

【0011】一方、該段差による影響を小さくするため、ゲート電極4のエッジにおいて側面の傾斜角度を小さくするテープエッチングを行う方法がある。しかし、その場合でも、このエッジにおいては、急峻な段差ができる。それ故、後の工程でデポを行った後、湿式エッチングを行うと、該段差部でゲート絶縁膜6に穴が開いて、トランジスタのリーク不良が発生する。

【0012】湿式エッチングでは、エッチレートの制御が困難であるため、特にこの問題が顕著に現れるが、ドライエッチングの場合でも、テープ部の下部が滑らかに形成できにくいので、これがリーク原因となる。

【0013】本発明は、上記問題点を解決するためになされたものであり、その目的はゲート電極とソース電極との間およびゲート電極とドレン電極との間でリークが少ない、信頼性の高いTFTおよびその製造方法を提供することにある。

#### 【0014】

【課題を解決するための手段】本発明の薄膜トランジスタは、基板と、該基板に設けられた溝内に、溝の深さ寸法よりも短い厚み寸法で形成されたゲート電極と、該ゲート電極の上に、基板とほぼ面一に形成された陽極酸化膜と、該陽極酸化膜および基板の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に、該ゲート電極と対向する状態で形成された半導体層と、該半導体層上で分断して形成されたソース電極およびドレン電極とを有し、そのことにより上記目的が達成される。

【0015】本発明の薄膜トランジスタの製造方法は、基板に溝を形成する工程と、該溝内に、ゲート電極を溝の深さ寸法よりも短い厚み寸法に形成する工程と、該ゲート電極を陽極酸化して、ゲート電極上に陽極酸化膜を基板とほぼ面一となるように形成する工程と、該陽極酸化膜および基板の上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜の上にチャネル部となる半導体層を形成する工程と、該半導体層の上で分断してソース電極およ

びドレン電極を形成する工程とを含み、そのことにより上記目的が達成される。

【0016】本発明の薄膜トランジスタは、基板と、該基板に設けられた溝内に、基板とほぼ面一に形成されたゲート電極と、該ゲート電極および基板の上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に、該ゲート電極と対向する状態で形成された半導体層と、該半導体層上で分断して形成されたソース電極およびドレン電極とを有し。そのことにより上記目的が達成される。

【0017】本発明の薄膜トランジスタの製造方法は、基板に溝を形成する工程と、該溝内にゲート電極を基板とほぼ面一となるように形成する工程と、該ゲート電極および基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜の上にチャネル部となる半導体層を形成する工程と、該半導体層の上で分断してソース電極およびドレン電極を形成する工程とを含み、そのことにより上記目的が達成される。

#### 【0018】

【作用】基板に設けられた溝内に、ゲート電極と陽極酸化膜とが形成され、該陽極酸化膜は、基板とほぼ面一になるようにされている。このことにより、その上に形成されるゲート絶縁膜およびアモルファスSi膜を段差が無い平坦な状態で形成することができる。このため、その後の工程でエッチングを行う際に、段差部分でエッチレートが速くなっているゲート絶縁膜に穴が開くということはない。よって、TFTのリークを防止することができる。

#### 【0019】

【実施例】以下、図面を参照して本発明を詳細に説明する。

【0020】図1に本発明の一実施例であるTFTの断面図を示す。

【0021】このTFTにおいては、ガラス板などからなる基板1に溝2が設けられ、その溝2内に、金属薄膜などからなるゲート電極4と陽極酸化膜5とが形成されている。その状態で、基板1および陽極酸化膜5の上にゲート絶縁膜6が形成されている。

【0022】ゲート絶縁膜6の上には、ゲート電極4と対向するように、アモルファスSi膜7が形成されている。陽極酸化膜5が基板1と面一になるように形成されているので、ゲート絶縁膜6およびアモルファスSi膜7は、平坦な状態で形成されている。TFTのチャネル部となるアモルファスSi膜7上の部分には、エッチングストップ8が形成され、エッチングストップ8の端部とアモルファスSi膜7の一部を覆って、ソース領域9a、ドレン領域9bが形成されている。ソース領域9a、ドレン領域9bは、不純物をドープしたシリコン膜などからなり、分断されている。ソース領域9aおよびドレン領域9bの上には、それぞれ、金属薄膜などからなるソース電極10aおよびドレン電極10bが形成

されている。ドレイン電極10b上には、さらに、ITOなどからなる絵素電極11が形成されている。

【0023】以下に、このTFTの製造方法を説明する。

【0024】まず、基板1のゲート電極4を形成する部分に溝2を形成する。この溝2は、例えば、図2に示すようなパターンで基板1に形成することができる。この図においては、1枚のガラス基板に1つの液晶パネルが形成される場合である。溝2の深さおよび厚みの寸法は、所望のゲート電極4および陽極酸化膜5の幅および厚みの寸法により調節する。

【0025】図3(a)～(c)に、この溝2の形成方法を示す。まず、図3(a)に示すように、フォトリソ工程により、基板1上にフォトレジスト3を厚み1.6μmに形成し、パターニングする。次に、図3(b)に示すように、濃度2.5～5%のバファードフッ酸(BHF)を用いて、基板1に湿式エッチングを行い、溝2となる部分を形成する。この時、溝2のエッジにおける僅かなテーパー形状は、静止法などのエッチング法によって決定される。その後、図3(c)に示すように、フォトレジストを除去して、溝2が形成される。この実施例では、エッチング幅15μm、深さ4000オングストロームとした。

【0026】次に、図3(d)～(g)に示すように、溝2内にゲート電極4と陽極酸化膜5を、基板1と陽極酸化膜が面一となるように形成して、基板を平坦化する。まず、図3(d)に示すように、溝2を形成した基板1上に、ゲート電極4となる薄膜4aを形成する。この薄膜4aの厚みは、陽極酸化膜5の表面が、図3(g)に示すように、基板1と面一となるように調節する。陽極酸化膜5の厚みは陽極酸化の条件により異なるため、この薄膜4aを形成する際には、そのことも考慮にいれる必要がある。この薄膜4aの厚みは、圧力、温度などの条件によって調節することができる。

【0027】その上から、図3(e)に示すように、例えば、ポリイミド等のような粘性の高い有機化合物液体12をスピニ塗布する。この有機化合物液体12は、熱によって固化された後に、ゲート電極4と乾式エッチングレートが等しくなるものを用いる。次に、図3(f)に示すように、ドライエッチング装置により、CF4+O2の混合ガスを用いて、30mtorrでエッチングし、溝2内の部分を残すようにする。

【0028】その後、陽極酸化することにより、図3(g)に示すように、陽極酸化膜5が基板と面一となつた状態で、ゲート電極4と陽極酸化膜5とが形成される。

【0029】この実施例では、溝2の深さを4000オングストロームとし、ゲート電極4となる薄膜4aはTaを用いて、エッチバック後の厚みが3450オングストロームとなるように形成した。この薄膜4aを、溝2

内の部分を残すようにエッチングする。その後、酒石酸アンモニウムを用いて電圧200Vで陽極酸化することにより、図3(g)に示すような状態で、ゲート電極4が1800オングストロームに形成され、陽極酸化膜5が2200オングストロームに形成された。

【0030】300mm角程度のガラス板を基板1として用いた場合、基板1と陽極酸化膜5の上表面とは、500～700オングストロームの範囲以内でほぼ同一面とすることができます。上記ゲート電極材料としては、クロム、タンタルなどを用いることもできる。

【0031】その後、この状態の基板1上の全面に、プラズマCVD法などによりSiNXなどからなる厚み3000オングストロームのゲート絶縁膜6を形成し、さらに、プラズマCVD法などにより厚み300オングストロームのアモルファスSi膜7を形成する。このゲート絶縁膜6およびアモルファスSi膜7は、陽極酸化膜5の上表面が基板1と同一面となって段差の無い状態となっているので、段差の無い平らな状態で形成することができる。さらに、このアモルファスSi膜7の上に、SiNXなどからなる厚み2000オングストロームの絶縁膜を形成して、湿式エッチングによりパターニングし、エッチングストップ8を形成する。続いて、プラズマCVD法などによりソース領域9aおよびドレイン領域9bとなる不純物をドープしたアモルファスSi膜を厚み600オングストロームに形成し、アモルファスSi膜7と該アモルファスSi膜とを、HFと硝酸を用いて同時に湿式エッチングして、TFTのチャネル部、ソース領域9a、ドレイン領域9bを得る。

【0032】続いて、スパッタリング法によりTiなどからなる金属膜を厚み3000オングストロームに形成し、HFと硝酸を用いて湿式エッチングによりパターニングして、ソース電極10aおよびドレイン電極10bを得る。さらに、スパッタ法により厚み600～700オングストロームのITO膜を形成し、塩化第2鉄を用いて湿式エッチングによりパターニングして、絵素電極11とする。

【0033】この製造方法において、陽極酸化膜5を形成しない場合には、以下のようにしてTFTを形成する。まず、上記と同様の工程で溝2を形成する。この溝2の深さ寸法は、所望のゲート電極4の厚み寸法により調節する。そして、全面に金属薄膜などからなるゲート電極4を形成して、図3(d)～(g)に示した平坦化法と同様な方法により平坦化する。このことにより、溝2内に基板1と面一に形成されたゲート電極4が得られる。次に、基板1およびゲート電極4の上にゲート絶縁膜6を形成し、その後は、上記と同様の工程でTFTが得られる。

【0034】本実施例のTFTにおいては、ゲート絶縁膜6とTFTのチャネル部となるアモルファスSi膜7とが、段差が無い平らな状態で形成されるために、その

後の工程でエッチングを行っても、ゲート絶縁膜が薄くなることがなかった。また、パターンエッジ部での電流リークが生じることもなかった。

#### 【0035】

**【発明の効果】** 以上の説明から明らかなように、本発明のTFTによれば、ゲート絶縁膜およびTFTのチャネル部となるアモルファスSi膜に段差が無い平坦な状態で形成できる。このため、段差部分でエッチング率が速くなつてゲート絶縁膜に穴が開く虞れがない。よつて、ゲート電極とソース電極との間およびゲート電極とドレイン電極との間でリークが少ないので、信頼性の高いTFTが得られる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施例であるTFTの断面図である。

【図2】 基板に形成される溝の一例を示す図である。

【図3】 実施例におけるTFTの製造工程を示す図であ

る。

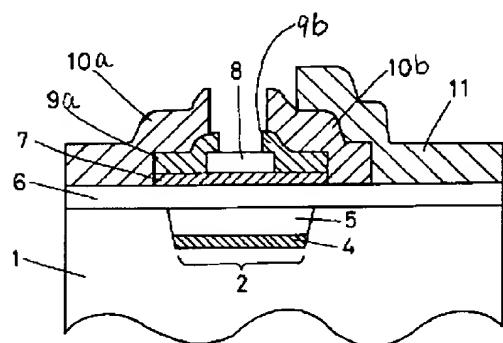
【図4】 従来のアクティブマトリクス基板の平面図である。

【図5】 従来のTFTの断面図である。

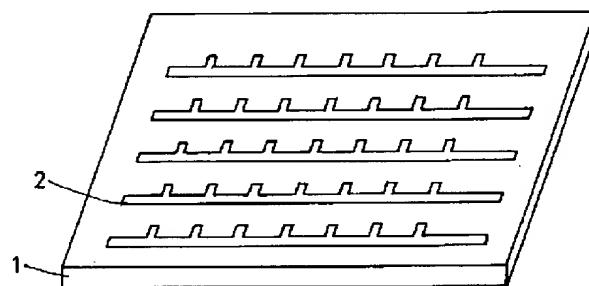
#### 【符号の説明】

1	基板
2	溝
4	ゲート電極
5	陽極酸化膜
6	ゲート絶縁膜
7	チャネル部アモルファスSi膜
8	エッチングストップ
9a	ソース領域
9b	ドレイン領域
10a	ソース電極
10b	ドレイン電極
11	給素電極

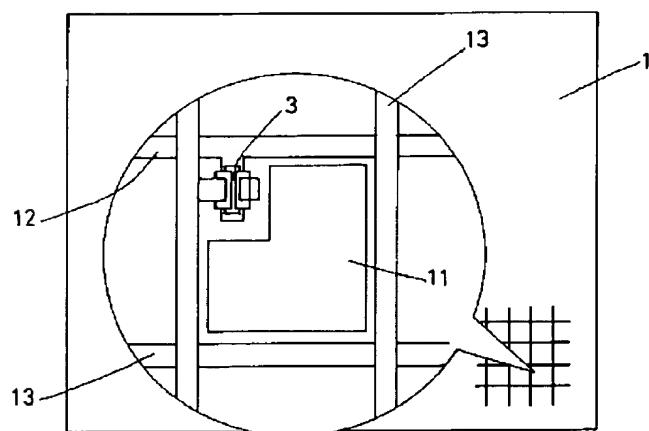
【図1】



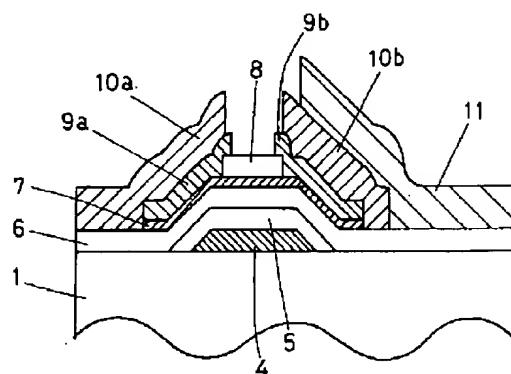
【図2】



【図4】



【図5】



【図3】

